

## NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

Patent Number: JP61001056  
Publication date: 1986-01-07  
Inventor(s): KIRISAWA RIYOUHEI; others: 01  
Applicant(s):: TOSHIBA KK  
Requested Patent: JP61001056  
Application Number: JP19840120803 19840614  
Priority Number(s):  
IPC Classification: H01L29/78  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:**To enable to rewrite at a high speed by reducing the thickness of a tunnel insulating film formed on the surface of the recess of a substrate at the corner as compared with the periphery.  
**CONSTITUTION:**An insulating film 17 is formed on an Si substrate 11 formed in a recess to obtain a small thickness at both ends of the bottom of the recess. The substrate 11 formed in the recess and a floating gate 13 are opposed, the gate 13 is opposed to coat the ends of the substrate 11, an electric field is concentrated at the bottom, and the thickness of the tunnel insulating film 17 around the end is selected as desired. Thus, the characteristics of the element can be controlled. According to this configuration, since the insulating film at the corner of the bottom of the recess is reduced as compared with the periphery, the insulating film at the periphery is relatively increased in the thickness to localize the tunnel current to improve the memory retaining capacity or to accelerate the rewriting at the insulating film of the periphery in the conventional degree.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭61-1056

⑮ Int.Cl.<sup>4</sup>  
H 01 L 29/78

識別記号 庁内整理番号  
7514-5F

⑬ 公開 昭和61年(1986)1月7日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 不揮発性半導体記憶装置

⑰ 特 願 昭59-120803

⑱ 出 願 昭59(1984)6月14日

⑲ 発 明 者	桐 澤 亮 平	川崎市幸区小向東芝町1	株式会社東芝総合研究所内
⑲ 発 明 者	中 山 良 三	川崎市幸区小向東芝町1	株式会社東芝総合研究所内
⑲ 出 願 人	株 式 会 社 東 芝	川崎市幸区堀川町72番地	
⑲ 代 理 人	弁理士 則近 憲佑	外1名	

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

半導体基板表面に設けられた凹部と、この凹部の底の角部を含む領域に設けられた基板と逆導電型の不純物領域と、前記角部において周囲より薄く前記凹部表面に設けられたトンネル絶縁膜と、前記凹部上に前記トンネル絶縁膜を介して設けられた浮遊ゲートと、この浮遊ゲートに容量結合して設けられた制御ゲートとを備えた事を特徴とする不揮発性半導体記憶装置。

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明は、浮遊ゲートと制御ゲートを有する不揮発性半導体メモリ装置に係り、特に電氣的に書き換え可能なメモリ装置に関する。

〔従来技術とその問題点〕

浮遊ゲートを有する電氣的に書き換え可能な不揮発性メモリとして、例えば第1図に示すものが

知られている。第1図の(a)は平面図であり、(b)、(c)はそれぞれ(a)のA-A'、B-B'断面図である。P型シリコン基板(11)に形成されたn<sup>+</sup>層(121)、(122)、これらのn<sup>+</sup>層(121)、(122)間に絶縁膜を介して積層された浮遊ゲート(13)とこの浮遊ゲート(13)上に絶縁膜を介して積層された制御ゲート(14)によりメモリトランジスタが構成されている。またn<sup>+</sup>層(122)、(123)とこれらのn<sup>+</sup>層(122)、(123)間に絶縁膜を介して形成されたゲート電極(15)により選択用トランジスタが構成されている。記憶内容の書き換えはn<sup>+</sup>層(122)と連続的に形成されたn<sup>+</sup>層(124)上にトンネル電流の流れうる薄い絶縁膜(17)を介して浮遊ゲート(13)を延在させて、浮遊ゲート(13)とn<sup>+</sup>層(124)間の電荷の授受により行なわれる。(18)はフィールド絶縁膜である。

この様な構造のメモリトランジスタにおいては、通常の書き込み条件(プログラム電圧(パルス) V<sub>pp</sub>=20V, 10ms)によって記憶内容を書き換えるには、トンネル絶縁膜(17)を絶縁膜(16)とは別途にn<sup>+</sup>層(124)上に薄く形成するが、トンネル領

域の微細化が困難であるために記憶内容の保持を保障する上で問題があった。又、書き換えの高速化という点からはより高速に書き換え可能な記憶素子が望まれている。

#### 〔発明の目的〕

本発明は上記の点に鑑みなされたもので、トンネル領域を小さくし、記憶保持を向上させること、或いはより高速に書き換えが可能な記憶素子を提供する事を目的としている。

#### 〔発明の概要〕

本発明では例えば第2図に示す如く、凹型に形成されたシリコン基板(11)上に絶縁膜(17)を形成して凹型部の底面端部において薄い膜厚を得る。また凹型に形成されたシリコン基板(11)と浮遊ゲート(13)が対向しており浮遊ゲート(13)は凹型シリコン基板端部を被う如く対向させる事により底面端部での電界集中が生じ、従って端部周囲のトンネル絶縁膜(17)の膜厚を所望に選べば素子特性が制御可能となる。

#### 〔発明の効果〕

ンジスタのゲート電極下及び浮遊ゲート下のゲート酸化膜(20)と同時に得る。次に、(d)に示す如く、気相成長により多結晶ケイ素より成る選択用トランジスタのゲート電極(15)及び浮遊ゲート(22)を形成し、これをマスクとしてAs<sup>+</sup>を40 KeV、 $2.5 \times 10^{15} \text{ cm}^{-2}$ イオン注入してn<sup>+</sup>層(121)～(123)を形成する。この工程でn<sup>+</sup>層(122)と(124)は接続される以降は公知の如く多結晶ケイ素より制御ゲート(14)を積層し、素子を形成する(第3図)。この素子は例えばn<sup>+</sup>層(122)が0V、浮遊ゲートに容量結合する制御ゲート(14)が20Vの時、電子が注入され、夫々20V、0Vの時電子が放出されて消去となる。注入、放出は底面端部のトンネル絶縁膜においてのみ生じ従って保持能が高い。また、ゲート絶縁膜形成は一工程で済む。

トンネル絶縁膜を前記端部以外でもトンネル電流が生じる如く全体的に薄くすれば高速書き換えに有効である。

尚、上記実施例では凹部を矩形としたがV字断面を持つものとしてもよいし、n<sup>+</sup>層(124)形成は

本発明によれば、凹部の底の角部の絶縁膜が周囲よりも薄くされているので、周囲部の絶縁膜を比較的厚くしてトンネル電流を局所化して記憶保持能を向上させたり、又周囲部の絶縁膜を従来程度として書き換えの高速化を図る事が出来る。

#### 〔発明の実施例〕

次に本発明を第2図(a)～(c)、第3図(a)～(d)に示す実施例を用いて説明する。最初に第3図(a)に示す如く、P型シリコン基板(11)上に100 KeVで $1 \times 10^{14} \text{ cm}^{-2}$ 、As<sup>+</sup>をイオン注入してn<sup>+</sup>層(124)を形成する。(18)はフィールド絶縁膜である。このn<sup>+</sup>層(124)は後に形成する凹部周辺に限られる。次にn<sup>+</sup>層(124)上に凹部形成のためのマスク材(19)を所望の形状に残置した後、n<sup>+</sup>層(124)をCF<sub>4</sub>ガスを用いたRIEで除去し、凹部を形成する(b)。次にマスク材(19)を除去し(c)に示す如くn<sup>+</sup>層(124)の凹部に、例えば900℃のdry O<sub>2</sub>で30分酸化し酸化膜(20)をシリコン露出面全面に300 Å成長させる。この時凹部底面端部では150 Å前後のトンネル酸化膜(21)を選択用トラ

凹部形成後に行なってもよく、又、凹部の開口(ア)位置も第4図に示す如く様にしても良い。

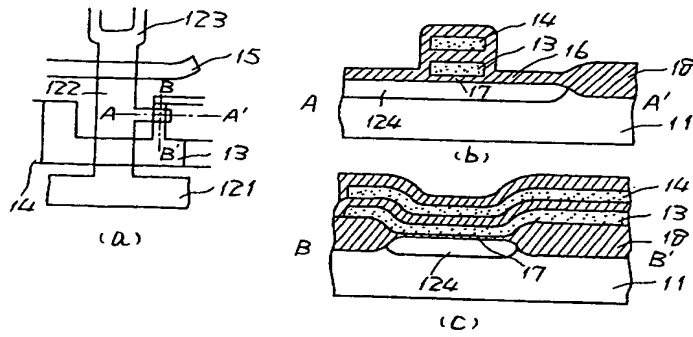
#### 4. 図面の簡単な説明

第1図(a)は従来例を説明するための平面図、(b)(c)はその断面図、第2図(a)(b)は本発明の実施例を説明するための断面図、(c)はその平面図、第3図(a)～(d)は本発明の一実施例を示す断面図、第4図(4)は他の実施例を示す平面図である。

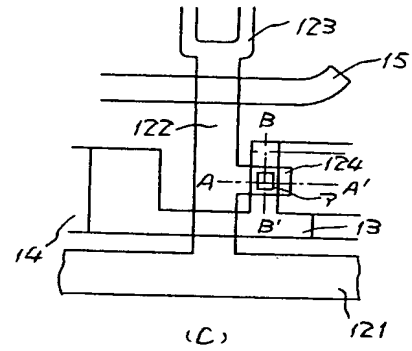
図において、11…P型シリコン基板、13…浮遊ゲート、14…制御ゲート、15…ゲート電極、16…絶縁膜、17…トンネル絶縁膜、18…フィールド絶縁膜、19…マスク材、20…ゲート酸化膜、21…トンネル酸化膜、22…浮遊ゲート、121～124…n<sup>+</sup>層。

代理人 弁理士 則 近 憲 佑 (他1名)

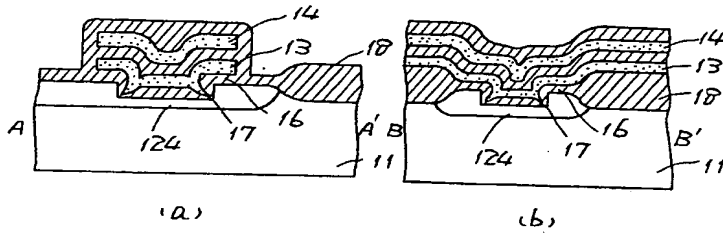
第 1 図



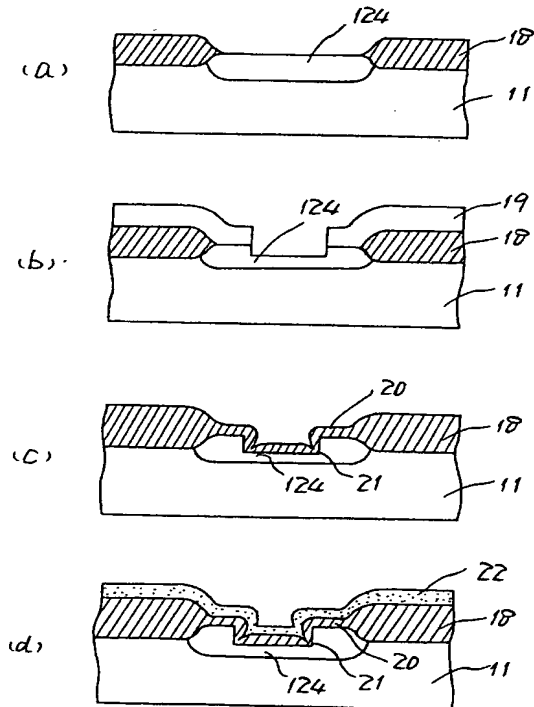
第 2 図



第 2 図



第 3 図



第 4 図

